

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10303314 A

(43) Date of publication of application: 13.11.98

(51) Int. Cl.

H01L 21/8238

H01L 27/092

H01L 27/04

H01L 21/822

H03K 19/0175

(21) Application number: 09107690

(22) Date of filing: 24.04.97

(71) Applicant: TOSHIBA MICROELECTRON
CORP TOSHIBA CORP(72) Inventor: TSUKASAKI TAKUMI
KINUGASA MASANORI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

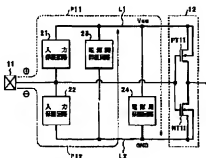
24 for by-passing the electric charge caused by the surge voltage are connected.

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To prevent an electrostatic destruction of an input circuit and an increase in pattern area, by connecting a power source side input protection circuit between an input terminal and a power source line or an earth line, while connecting an inter-power source protection circuit between the power source line and the earth line.

SOLUTION: To a power source line L1 and an earth line L2, an input circuit 12 wherein a signal is supplied from an input terminal 11 for signal processing is connected. Then, between the input terminal 11 and the power source line L1, an input protection circuit 21 wherein the input terminal 11 is applied with a surge voltage toward a power source voltage Vcc and the electric charge caused by the surge voltage is by-passed to the power source line L1 is connected. Further, between the input terminal 11 and the earth line L2, an input protection circuit 22 wherein the input terminal 11 is applied with a surge voltage toward an earth voltage and such electric charge as caused by the surge voltage is by-passed to the earth line L2 is connected. Further, inter-power source protection circuits 23 and



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-303314

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶ 識別記号

H 0 1 L 21/8238

27/062

27/04

21/822

H 0 3 K 19/0175

F I

H 0 1 L 27/08

27/04

H 0 3 K 19/00

3 2 1 H

H

1 0 1 K

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21) 出願番号 特願平9-107890

(22) 出願日 平成 9 年 (1997) 4 月 24 日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地 1

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 塚 崎 拓 実

神奈川県川崎市川崎区駅前本町25番地 1

東芝マイクロエレクトロニクス株式会社社内

(72) 発明者 衣 笠 昌 典

神奈川県川崎市幸区堀川町580番 1 号 株

式会社東芝半導体システム技術センター内

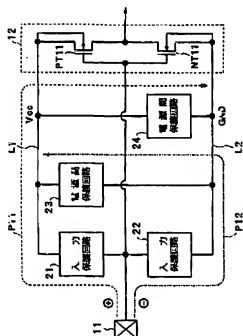
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(57) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 サージ電圧が印加された場合、入力回路への静電気の進入を確実に防止するためにはパターン面積の増大を免れなかった。

【解決手段】 電源線 1、接地線 2 に接続され、入力端子 1 1 から信号を与えられて信号の処理を行う入力回路 1 2、入力端子 1 1 と電源線 1 との間に接続され入力端子 1 1 に電源電圧方向のサージ電圧が入力されるとこの第 1 のサージ電圧による電荷を電源線 1 にバイパスする入力保護回路 2 1、入力端子 1 1 と接地線 2 との間に接続され入力端子 1 1 に接地電圧方向の第 2 のサージ電圧が入力されるとこの第 2 のサージ電圧による電荷を接地線 2 にバイパスする入力保護回路 2 2、電源線 1 と接地線 2 との間に接続され、第 1 のサージ電圧による電荷を接地線 2 にバイパスし、第 2 のサージ電圧による電荷を電源線 1 にバイパスする電源間保護回路 2 3 及び 2 4 とを備え、入力回路 1 2 のトランジスタ P T 1 1 又は N T 1 1 の拡散層に電荷が進入することを防止する。



【特許請求の範囲】

【請求項1】電源線及び接地線に接続され、入力端子から信号を与えられて前記信号の処理を行う入力回路と、前記入力端子と前記電源線との間に接続され、前記入力端子に電源電圧方向の第1のサージ電圧が入力されるとこの第1のサージ電圧による電荷を前記電源線にバイパスする電源側入力保護回路と、

前記電源線と前記接地線との間に接続され、前記電源側入力保護回路により前記電源線にバイパスされた第1のサージ電圧による電荷を前記接地線にバイパスする電源側保護回路と、

を備えることを特徴とする半導体集積回路。

【請求項2】電源線及び接地線に接続され、入力端子から信号を与えられて前記信号の処理を行う入力回路と、前記入力端子と前記接地線との間に接続され、前記入力端子に接地電圧方向の第2のサージ電圧が入力されるとこの第2のサージ電圧による電荷を前記接地線にバイパスする接地側入力保護回路と、

前記電源線と前記接地線との間に接続され、前記接地側入力保護回路により前記接地線にバイパスされた第2のサージ電圧による電荷を前記電源線にバイパスする電源側保護回路と、

を備えることを特徴とする半導体集積回路。

【請求項3】電源線及び接地線に接続され、入力端子から信号を与えられて前記信号の処理を行う入力回路と、前記入力端子と前記電源線との間に接続され、前記入力端子に電源電圧方向の第1のサージ電圧が入力されるとこの第1のサージ電圧による電荷を前記電源線にバイパスする電源側入力保護回路と、

前記入力端子と前記接地線との間に接続され、前記入力端子に接地電圧方向の第2のサージ電圧が入力されるとこの第2のサージ電圧による電荷を前記接地線にバイパスする接地側入力保護回路と、

前記電源線と前記接地線との間に接続され、前記電源側入力保護回路により前記電源線にバイパスされた第1のサージ電圧による電荷を前記接地線にバイパスした第2のサージ電圧による電荷を前記電源線にバイパスする電源側保護回路と、

を備えることを特徴とする半導体集積回路。

【請求項4】前記電源側保護回路は、前記接地線にゲートと一方の端子が接続され、前記電源線に他方の端子が接続された第1のNチャネル形MOSトランジスタと、前記電源線にゲートと一方の端子が接続され、前記接地線に他方の端子が接続された第1のPチャネル形MOSトランジスタとを有することを特徴とする請求項3記載の半導体集積回路。

【請求項5】前記電源側入力保護回路は、前記接地線にゲートが接続され、前記電源線に一方の端子が接続され、前記入力端子に他方の端子が接続された第2のNチャネル形MOSトランジスタとを有し、

前記接地側入力保護回路は、前記接地線にゲートが接続され、前記接地線に一方の端子が接続され、前記入力端子に他方の端子が接続された第3のNチャネル形MOSトランジスタとを有することを特徴とする請求項3又は4記載の半導体集積回路。

【請求項6】前記電源側入力保護回路は、前記接地線にゲートが接続され、前記電源線に一方の端子が接続され、前記入力端子に他方の端子が接続された第2のPチャネル形MOSトランジスタとを有し、

前記接地側入力保護回路は、前記接地線にゲートが接続され、前記接地線に一方の端子が接続され、前記入力端子に他方の端子が接続された第2のNチャネル形MOSトランジスタとを有することを特徴とする請求項3又は4記載の半導体集積回路。

【請求項7】電源線及び接地線に接続され、入力端子から信号を与えられて前記信号の処理を行う入力回路と、前記入力端子と前記電源線との間に接続され、前記入力端子に電源電圧方向の第1のサージ電圧が入力されるとこの第1のサージ電圧による電荷を前記電源線にバイパスする電源側入力保護回路と、

前記入力端子と前記接地線との間に接続され、前記入力端子に接地電圧方向の第2のサージ電圧が入力されるとこの第2のサージ電圧による電荷を前記接地線にバイパスする接地側入力保護回路と、

前記接地線にゲートと一方の端子が接続され、前記電源線に他方の端子が接続された第1のNチャネル形MOSトランジスタと、前記電源線にゲートと一方の端子が接続され、前記接地線に他方の端子が接続された第1のPチャネル形MOSトランジスタとを有する電源側保護回路と、

を備えることを特徴とする半導体集積回路。

【請求項8】第1の電圧が供給される第1の配線及び前記第1の電圧より低い第2の電圧が供給される第2の配線に接続され、入力端子から信号を与えられて前記信号の処理を行う入力回路と、

前記入力端子と前記第1の配線との間に接続され、前記入力端子に正方向の第1のサージ電圧が入力されるとこの第1のサージ電圧による電荷を前記第1の配線にバイパスする第1の入力保護回路と、

前記入力端子と前記第2の配線との間に接続され、前記入力端子に負方向の第2のサージ電圧が入力されるとこの第2のサージ電圧による電荷を前記第2の配線にバイパスする第2の入力保護回路と、

前記第1の配線と前記第2の配線との間に接続され、前記第1の入力保護回路により前記第1の配線にバイパスされた第1のサージ電圧による電荷を前記第2の配線にバイパスし、前記第2の入力保護回路により前記第2の配線にバイパスされた第2のサージ電圧による電荷を前記第1の配線にバイパスする電源側保護回路と、

を備えることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路に係わり、特に半導体装置内の入力回路の静電破壊を防止するための保護回路を備えた半導体集積回路に関する。

【0002】

【従来の技術】半導体装置には、入力端子に過大なサージ電圧が印加された場合に、入力端子に接続された入力回路が静電破壊されないように、保護回路が設けられている場合が多い。従来の保護回路の構成を入力回路の構成と併せて図6に示す。半導体装置の入力部に、電源電圧Vcc端子と接地端子との間に直列接続されたPチャネル形MOSトランジスタPT11とNチャネル形MOSトランジスタNT11から成るCMOS形の入力回路12が設けられている。トランジスタPT11及びNT11のゲートは入力端子11に接続されており、入力端子11から入力された信号がこれらのゲートに与えられる。

【0003】入力端子11と電源電圧Vcc端子との間には電源電圧Vcc側の入力保護回路21が接続され、入力端子11と接地端子との間には接地側の入力保護回路22が接続されている。入力端子11に、電源電圧Vccを超える正側のサージ電圧が印加されると、このサージ電圧による電荷は矢印P1のように保護回路21を通過して電源線L1に流れる。逆に、入力端子11に接地電圧Vssより低い負側のサージ電圧が印加されると、このサージ電圧による電荷は矢印P2のように保護回路22を通過して接地線L2に流れる。このようにして、従来はサージ電圧が入力回路12を構成するトランジスタPT11及びNT11のゲート破壊を防止していた。

【0004】

【発明が解決しようとする課題】しかし、従来の保護回路には次のような問題があった。電源線L1又は接地線L2にバイパスされた電荷は、トランジスタPT11及びNT11のゲートには進入しないので、ゲート破壊は起こさない。ところが、電源線L1にバイパスされた電荷はトランジスタPT11のソース領域に進入し、接地線L2にバイパスされた電荷はトランジスタNT11のソース領域に進入する。この結果、入力回路12が静電破壊を起こす場合があった。

【0005】このような問題を防ぐ手法として、入力保護回路21が接続された電源線L1及び入力保護回路22が接続された接地線L2と、入力回路12が接続される電源線及び接地線とを分けて、静電気が入力回路12に入り込まないようにすることも考えられる。しかし、この場合は電源線及び接地線の本数が増えて配線を引き出す領域が増加し、パターン面積及びコストの増大を招くこととなる。

【0006】本発明は上記事情に鑑みてなされたもの

で、入力回路の静電破壊を確実に防止すると共に、パターン面積の増大を防止することが可能な半導体集積回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の半導体集積回路は、電源線及び接地線に接続され、入力端子から信号を与えられて前記信号の処理を行う入力回路と、前記入力端子と前記電源線との間に接続され、前記入力端子に電源電圧方向の第1のサージ電圧が入力されるとこの第1のサージ電圧による電荷を前記電源線にバイパスする電源側入力保護回路と、前記電源線と前記接地線との間に接続され、前記電源側入力保護回路より前記電源線にバイパスされた第1のサージ電圧による電荷を前記接地線にバイパスする電源側保護回路とを備えることを特徴としている。

【0008】また、本発明の半導体集積回路は、前記入力回路と、前記入力端子と前記接地線との間に接続され、前記入力端子に接地電圧方向の第2のサージ電圧が入力されるとこの第2のサージ電圧による電荷を前記接地線にバイパスする接地側入力保護回路と、前記電源線と前記接地線との間に接続され、前記接地側入力保護回路により前記接地線にバイパスされた第2のサージ電圧による電荷を前記電源線にバイパスする電源側保護回路とを備える。

【0009】あるいは、本発明の半導体集積回路は、前記入力回路と、前記電源側入力保護回路と、前記接地側入力保護回路と、前記電源線と前記接地線との間に接続され、前記電源側入力保護回路より前記電源線にバイパスされた第1のサージ電圧による電荷を前記接地線にバイパスし、前記接地側入力保護回路より前記接地線にバイパスされた第2のサージ電圧による電荷を前記電源線にバイパスする電源側保護回路とを備える。

【0010】ここで、前記電源側保護回路は、前記接地線にゲートと一方の端子が接続され、前記電源線に他方の端子が接続された第1のNチャネル形MOSトランジスタと、前記電源線にゲートと一方の端子が接続され、前記接地線に他方の端子が接続された第1のPチャネル形MOSトランジスタとを有している。

【0011】前記電源側入力保護回路は、前記接地線にゲートが接続され、前記電源線に一方の端子が接続され、前記入力端子に他方の端子が接続された第2のNチャネル形MOSトランジスタを有し、前記接地側入力保護回路は、前記接地線にゲートが接続され、前記接地線に一方の端子が接続され、前記入力端子に他方の端子が接続された第3のNチャネル形MOSトランジスタを有するものである。

【0012】あるいは、前記電源側入力保護回路は、前記接地線にゲートが接続され、前記電源線に一方の端子が接続され、前記入力端子に他方の端子が接続された第2のPチャネル形MOSトランジスタを有し、前記接地

側入力保護回路は、前記接地線にゲートが接続され、前記接地線に一方の端子が接続され、前記入力端子に他方の端子が接続された第2のNチャネル形MOSトランジスタを有するものであることもよい。

【0013】また、本発明の半導体集積回路は、第1の電圧が供給される第1の配線及び前記第1の電圧より低い第2の電圧が供給される第2の配線に接続され、入力端子から信号を与えられて前記信号の処理を行う入力回路と、前記入力端子と前記第1の配線との間に接続され、前記入力端子に正方向の第1のサージ電圧が入力されるとこの第1のサージ電圧による電荷を前記第1の配線にバイパスする第1の入力保護回路と、前記入力端子と前記第2の配線との間に接続され、前記入力端子に負方向の第2のサージ電圧が入力されるとこの第2のサージ電圧による電荷を前記第2の配線にバイパスする第2の入力保護回路と、前記第1の配線と前記第2の配線との間に接続され、前記第1の入力保護回路により前記第1の配線にバイパスされた第1のサージ電圧による電荷を前記第2の配線にバイパスし、前記第2の入力保護回路により前記第2の配線にバイパスされた第2のサージ電圧による電荷を前記第1の配線にバイパスする電源間保護回路とを備えている。

【0014】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。図1に、本発明の第1の実施の形態による保護回路の構成を示す。図6に示された保護回路と比較し、電源線L1と接地線L2との間に電源間保護回路23及び24がそれぞれ接続されている点が相違する。他の図6の回路と同一の要素に対しては、同一の番号を付して説明を省略する。

【0015】入力端子11に、電源電圧Vccを超える正側のサージ電圧が印加されると、このサージ電圧による電荷が電源間保護回路21を介して電源線L1に流れる。あるいは、入力端子11に接地電圧Vssより低い負側のサージ電圧が印加されると、このサージ電圧による電荷が保護回路22を介して接地線L2に流れる。図6に示された保護回路では、上述したように電源線L1に逃がした電荷が入力回路12のトランジスタPT11のソース領域に進入し、あるいは接地線L2に逃がした電荷がトランジスタNT11のソース領域に進入して破壊していた。

【0016】これに対し、本実施の形態では、電源線L1にバイパスされた電荷はさらに矢印P11のように電源間保護回路24を通過して接地線L2に流れ、接地線L2にバイパスされた電荷はさらに矢印P12のように電源間保護回路23を通過して電源線L1に流れる。このため、入力回路12のトランジスタPT11又はNT11のソース領域には静電気が進入せず、静電破壊が防止される。

【0017】さらに、入力保護回路21及び22と、電

源間保護回路23及び24との間のみ電源線L1と接地線L2を分岐するので、パターン面積の増大が防止される。

【0018】本発明の第2の実施の形態は、図2に示される構成を備える。本実施の形態は、上記第1の実施の形態における入力保護回路21及び22と電源間保護回路23及び24を、具体的な回路素子で表したものに相当する。即ち、入力保護回路21として、一方の端子が電源線L1、他方の端子が入力端子11、バックゲート及びゲートが接地線L2に接続されたNチャネル形MOSトランジスタNT21を用い、入力保護回路22として、一方の端子が入力端子11、他方の端子、バックゲート及びゲートが接地線L2に接続されたNチャネル形MOSトランジスタNT22を用いている。さらに、電源間保護回路23として、一方の端子、バックゲート及びゲートが電源線L1に接続され、他方の端子が接地線L2に接続されたPチャネル形MOSトランジスタPT21を用い、電源間保護回路24として、一方の端子が電源線L1に接続され、他方の端子、バックゲート及びゲートが接地線L2に接続されたNチャネル形MOSトランジスタNT23を用いている。

【0019】入力端子11に過大なサージ電圧が発生した場合の作用は、上記第1の実施の形態と同様である。入力端子11に正側のサージ電圧が印加されると、矢印P21のように、このサージ電圧による電荷がトランジスタNT21を介して電源線L1にバイパスされ、さらにトランジスタNT23を介して接地線L2にバイパスされる。入力端子11に負側のサージ電圧が印加されると、矢印P22のようにこのサージ電圧による電荷がトランジスタNT22を介して接地線L2にバイパスされ、トランジスタPT21を介して電源線L1にバイパスされる。これにより、入力回路12のトランジスタPT11及びNT11のソース領域に静電気が進入せず、静電破壊が防止される。

【0020】この第2の実施の形態の等価回路は、図3に示されるようである。保護回路22を構成するトランジスタNT22は、入力端子11と接地線L2との間に接続されたダイオードD1と電気的に等価である。従って、サージ電圧が印加されたときの作用も上記第2の実施の形態と同様である。

【0021】本発明の第3の実施の形態について、図4を用いて説明する。図2に示された上記第2の実施の形態と比較し、入力保護回路21を構成するトランジスタがNチャネル形MOSトランジスタNT21からPチャネル形MOSトランジスタPT31へ置き替わった点が相違する。このトランジスタPT31は、一方の端子及びバックゲートが電源線L1に接続され、ゲートが接地線L2に接続され、他方の端子が入力端子11に接続されている。

【0022】入力端子11に正側のサージ電圧が印加さ

れると、矢印P31のようにトランジスタPT31を介して電源線L1に電荷が流れ、さらにトランジスタNT23を介して接地線L2に流れる。入力端子11に負側のサージ電圧が印加されたときは、上記第2の実施の形態と同様に、トランジスタNT22を介して接地線L2に流れ、さらにトランジスタPT21を介して電源線L1に流れる。これにより、入力回路12にサージ電圧による電荷が流れ込まず静電破壊から保護される。

【0023】この第3の実施の形態を電気的に等価な回路で表わすと、図5に示されるようである。即ち、トランジスタPT31は入力端子11と電源線L1との間に接続されたダイオードD2として動作する。トランジスタNT22は、入力端子11と接地線L2との間に接続されたダイオードD1として動作する。

【0024】第3の実施の形態を等価な回路で表現した図5と、第2の実施の形態を電気的に等価な回路で表現した図3とを比較すると、図5の回路は入力端子11と電源線L1との間にダイオードD2が接続されているのに対し、図3の回路はこのダイオードD2が設けられていない点が相違する。このような構成上の相違により、第2の実施の形態による保護回路と第3の実施の形態による保護回路とは用途に応じて使い分けるのが望ましい。

【0025】例えば、レベルシフトのように、電源電圧Vccは5Vであるが、これを超える10Vの電圧が入力端子11に入力されるような製品に対しては、第2の実施の形態の方が好適である。すなわち、入力端子11に10Vが入力された場合、ダイオードD2が存在しないため入力端子11から電源線L1への電流が流れず、保護回路が回路特性に影響を与えない。一方、第3の実施の形態では、ダイオードD2が存在するため入力端子11から電源線L1へ電流が流れて、特性が悪化する。逆に、入力端子11に電源電圧Vccを超えるような電圧が印加されない装置では、ダイオードD2が存在する第3の実施の形態の方が正側の過大なサージ電圧をより確実に電源線L1に逃がすことができるので、第3の実施の形態を適用することが望ましい。

【0026】上述した実施の形態はいずれも一例であって、本発明を限定するものではない。例えば、第1の実施の形態が有する入力保護回路21及び22と電源間保護回路23及び24をMOS型トランジスタを用いて具

体的に構成したものが第2、第3の実施の形態に相当するが、これらの構成に限らず、入力端子にサージ電圧が印加された場合に電源線又は接地線にバイパスした後、入力回路に侵入する前に接地線又は電源線にバイパスすることができるものであればよい。

【0027】

【発明の効果】以上説明したように、本発明の半導体集積回路は、入力端子にサージ電圧が印加された場合、電源線にバイパスした場合はさらに接地線にバイパスし、接地線にバイパスした場合は電源線にバイパスすることで、入力回路にサージ電圧による電荷が進入することを防止することができ、パターン面積の増大を招くことなく静電破壊を防止することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体集積回路の構成を示した回路図。

【図2】本発明の第2の実施の形態による半導体集積回路の構成を示した回路図。

【図3】同第2の実施の形態による半導体集積回路を電気的に等価な回路で置き換えた場合の構成を示した回路図。

【図4】本発明の第3の実施の形態による半導体集積回路の構成を示した回路図。

【図5】同第3の実施の形態による半導体集積回路を電気的に等価な回路で置き換えた場合の構成を示した回路図。

【図6】従来の保護回路の構成を入力回路の構成と併せて示した回路図。

【符号の説明】

11 入力端子

12 入力回路

21、22 入力保護回路

23、24 電源間保護回路

L1 電源線

L2 接地線

PT11、PT21、PT31 Pチャネル形MOSトランジスタ

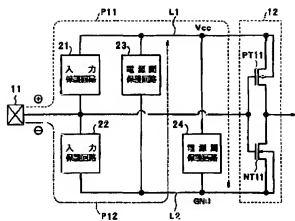
NT11、NT21～NT23 Nチャネル形MOSトランジスタ

D1、D2 ダイオード

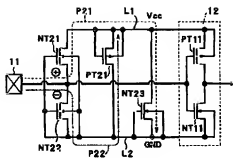
(6)

特開平10-303314

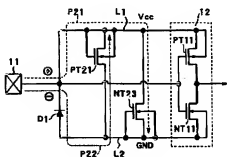
【図1】



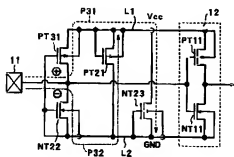
【図2】



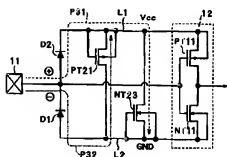
【図3】



【図4】



【図5】



【図6】

